

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-100190

(43)Date of publication of application : 05.04.2002

(51)Int.Cl.

G11C 11/417

G11C 11/41

G11C 11/418

G11C 11/419

(21)Application number : 2000-297050

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

NTT ELECTRONICS CORP

(22)Date of filing : 26.09.2000

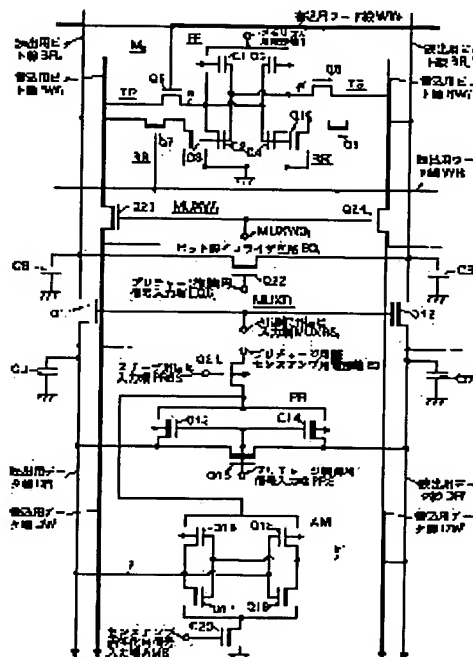
(72)Inventor : DOUSEKI TAKAKUNI
SHIBATA SHINTARO

(54) MEMORY CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To read out data written in a memory cell M_{ij} ($i=1, 2, \dots, m; j=1, 2, \dots, n; m, n$: integer of 1 or more) at higher speed with less power consumption of a power source.

SOLUTION: Bit lines BR_j and BR'_j for read-out are connected to data lines DR and DR' through insulation type field effect transistors Q_{11} and Q_{12} respectively, at the time of read-out of data from a memory cell M_{ij} , after pre-charge of bit line capacitor of the bit lines BR_j and BR'_j for read-out, charged electric charges of bit line capacitor of one side out of the bit lines BR_j and BR'_j for read-out is discharged to the ground through the insulation type field effect transistor having low threshold voltage which is turned on by a signal for selecting a row given to the insulation type field effect transistor of low threshold voltage which is turned on by data of the memory cell M_{ij} and a word line for read-out.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-100190

(P2002-100190A)

(43) 公開日 平成14年4月5日 (2002.4.5)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)	
G 1 1 C	11/417	G 1 1 C 11/34	3 0 5	5 B 0 1 5
	11/41		M	
	11/418		3 0 1 B	
	11/419		3 1 1	

審査請求 未請求 請求項の数 5 O L (全 15 頁)

(21) 出願番号 特願2000-297050 (P2000-297050)

(22) 出願日 平成12年9月26日 (2000.9.26)

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(71) 出願人 591230295

エヌティティエレクトロニクス株式会社

東京都渋谷区道玄坂1丁目12番1号

(72) 発明者 道関 隆国

東京都千代田区大手町二丁目3番1号 日

本電信電話株式会社内

(74) 代理人 100064458

弁理士 田中 正治

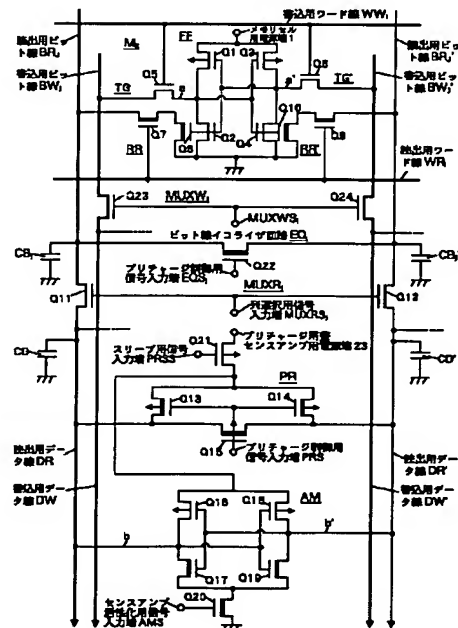
最終頁に続く

(54) 【発明の名称】 メモリ回路

(57) 【要約】

【課題】 メモリセル M_{ij} ($i=1, 2, \dots, m; j=1, 2, \dots, n; m, n$ は1以上の整数)に書き込まれているデータを、より少ない電源の消費電力で、より高速に読み出すことができるようにする。

【解決手段】 読出用ビット線 BR_j 及び BR_j' を、読出用ビット線マルチプレクサ回路 $MUXR_j$ の絶縁型電界効果トランジスタ $Q11$ 及び $Q12$ をそれぞれ通じて読出用データ線 DR 及び DR' に接続し、メモリセル M_{ij} からのデータの読み出し時、読出用ビット線 BR_j 及び BR_j' のビット線容量をプリチャージした後、読出用ビット線 BR_j 及び BR_j' の中の一方向のビット線容量の充電電荷を、メモリセル M_{ij} のデータによってオンになる低い閾値電圧の絶縁型電界効果トランジスタと読出用ワード線に与えられる行選択用信号によってオンする低い閾値電圧を有する絶縁型電界効果トランジスタを通じて接地に放電させる。



【特許請求の範囲】

【請求項1】 $m \times n$ 個 (m, n は1以上の整数) のメモリセル $M_{11}, M_{12}, \dots, M_{1n}; M_{21}, M_{22}, \dots, M_{2n}; \dots, M_{m1}, M_{m2}, \dots, M_{mn}$ と、
 m 本の書込用ワード線 WW_1, WW_2, \dots, WW_m と、
 m 本の読出用ワード線 WR_1, WR_2, \dots, WR_m と、
 n 対の書込用ビット線 BW_1 及び BW_1', BW_2 及び BW_2', \dots, BW_n 及び BW_n' と、
 n 対の読出用ビット線 BR_1 及び BR_1', BR_2 及び BR_2', \dots, BR_n 及び BR_n' と、
 n 個の読出用ビット線マルチプレクサ回路 $MUXR_1, MUXR_2, \dots, MUXR_n$ と、
 m 本の読出用データ線 DR 及び DR' と、
ビット線プリチャージ回路 PR と、
ビット線センスアンプ回路 AM とを有し、
上記メモリセル M_{ij} ($i = 1, 2, \dots, m, j = 1, 2, \dots, n$) が、

①メモリセル用電源端と接地との間に、第1の導電型を有する第1の絶縁型電界効果トランジスタと第1の導電型とは逆の第2の導電型を有する第2の絶縁型電界効果トランジスタとがそれらの順に直列に接続されているとともに第1の導電型を有する第3の絶縁型電界効果トランジスタと第2の導電型を有する第4の絶縁型電界効果トランジスタとがそれらの順に直列に接続され、上記第1及び第2の絶縁型電界効果トランジスタのゲートが第1の論理信号入出力端に導出され、上記第3及び第4の絶縁型電界効果トランジスタのゲートが第2の論理信号入出力端に導出されている構成を有するフリップフロップ回路と、

②上記フリップフロップ回路の第1の論理信号入出力端と上記書込用ビット線 BW_j との間に第2の導電型を有する第5の絶縁型電界効果トランジスタが接続され、その第5の絶縁型電界効果トランジスタのゲートが上記書込用ワード線 WW_j に接続されている構成を有する第1のトランスファゲート回路と、

③上記フリップフロップ回路の第2の論理信号入出力端と上記書込用ビット線 BW_j' との間に第2の導電型を有する第6の絶縁型電界効果トランジスタが接続され、その第6の絶縁型電界効果トランジスタのゲートが上記書込用ワード線 WW_j に接続されている構成を有する第2のトランスファゲート回路と、

④上記読出用ビット線 BR_j と接地との間に第2の導電型を有する第7の絶縁型電界効果トランジスタと第2の導電型を有する第8の絶縁型電界効果トランジスタとがそれらの順に直列に接続され、上記第7の絶縁型電界効果トランジスタのゲートが上記読出用ワード線 WR_i に接続され、上記第8の絶縁型電界効果トランジスタのゲートが上記フリップフロップ回路の第2の論理信号入出力端に接続されている構成を有する第1の読出回路と、

⑤上記読出用ビット線 BR_j' と接地との間に第2の導

電型を有する第9の絶縁型電界効果トランジスタと第2の導電型を有する第10の絶縁型電界効果トランジスタとがそれらの順に直列に接続され、上記第9の絶縁型電界効果トランジスタのゲートが上記読出用ワード線 WR_i に接続され、上記第10の絶縁型電界効果トランジスタのゲートが上記フリップフロップ回路の第1の論理信号入出力端に接続されている構成を有する第2の読出回路とを有し、

上記読出用ビット線マルチプレクサ回路 $MUXR_j$ が、上記読出用ビット線 BR_j 及び BR_j' に第2の導電型を有する第11及び第12の絶縁型電界効果トランジスタがそれぞれ介挿され、それら第11及び第12の絶縁型電界効果トランジスタのゲートが列選択用信号入力端に導出されている構成を有し、

上記読出用ビット線 BR_1, BR_2, \dots, BR_n が、上記読出用ビット線マルチプレクサ回路 $MUXR_1, MUXR_2, \dots, MUXR_n$ の第11の絶縁型電界効果トランジスタをそれぞれ通じて、上記読出用データ線 DR に接続され、

上記ビット線プリチャージ回路 PR が、プリチャージ用電源端と上記読出用データ線 DR との間に第1の導電型を有する第13の絶縁型電界効果トランジスタが接続され且つ上記プリチャージ用電源端と上記読出用データ線 DR' との間に第1の導電型を有する第14の絶縁型電界効果トランジスタが接続されているとともに、上記読出用データ線 DR 及び DR' 間に第1の導電型を有する第15の絶縁型電界効果トランジスタが接続され、上記第13、第14及び第15の絶縁型電界効果トランジスタのゲートがプリチャージ制御用信号入力端に導出されている構成を有し、

上記ビット線センスアンプ回路 AM が、センスアンプ用電源端と接地との間に、第1の導電型を有する第16の絶縁型電界効果トランジスタと第2の導電型を有する第17の絶縁型電界効果トランジスタとがそれらの順に直列に接続されている第1の直列回路と第1の導電型を有する第18の絶縁型電界効果トランジスタとがそれらの順に直列に接続されているとともに、第2の導電型を有する第19の絶縁型電界効果トランジスタとがそれらの順に接続されている第2の直列回路との並列回路と、第2の導電型を有する第20の絶縁型電界効果トランジスタとがそれらの順に直列に接続され、上記第16及び第17の絶縁型電界効果トランジスタの接続中点と上記第18及び第19の絶縁型電界効果トランジスタのゲートとが上記読出用データ線 DR に接続され、上記第18及び第19の絶縁型電界効果トランジスタの接続中点と上記第16及び第17の絶縁型電界効果トランジスタのゲートとが上記読出用データ線 DR' に接続され、第20の絶縁型電界効果トランジスタのゲートがセンスアンプ活性化用信号入力端に導出されている構成を有し、

上記メモリセル M_{ij} の第1の読出回路の第7及び第8の

絶縁型電界効果トランジスタ及び上記メモリセル M_{ij} の上記第2の読出回路の第9及び第10の絶縁型電界効果トランジスタが、上記メモリセル M_{ij} のフリップフロップ回路の第1～第4の絶縁型電界効果トランジスタ、上記メモリセル M_{ij} の第1のトランスファークロスの第5の絶縁型電界効果トランジスタ、上記メモリセル M_{ij} の第2のトランスファークロスの第6の絶縁型電界効果トランジスタ、及び上記読出用ビット線マルチプレクサ回路 $MUXR_j$ の第11及び第12の絶縁型電界効果トランジスタに比し低い閾値電圧を有することを特徴とするメモリ回路。

【請求項2】請求項1記載のメモリ回路において、上記ビット線プリチャージ回路 PR の第13、第14及び第15の絶縁型電界効果トランジスタが、上記メモリセル M_{ij} のフリップフロップ回路の第1～第4の絶縁型電界効果トランジスタ、上記メモリセル M_{ij} の第1のトランスファークロスの第5の絶縁型電界効果トランジスタ、上記メモリセル M_{ij} の第2のトランスファークロスの第6の絶縁型電界効果トランジスタ、及び上記読出用ビット線マルチプレクサ回路 $MUXR_j$ の第11及び第12の絶縁型電界効果トランジスタに比し低い閾値電圧を有することを特徴とするメモリ回路。

【請求項3】請求項1記載のメモリ回路において、上記ビット線センスアンプ回路 AM の第17及び第19及び第20の絶縁型電界効果トランジスタが、上記メモリセル M_{ij} のフリップフロップ回路の第1～第4の絶縁型電界効果トランジスタ、上記メモリセル M_{ij} の第1のトランスファークロスの第5の絶縁型電界効果トランジスタ、上記メモリセル M_{ij} の第2のトランスファークロスの第6の絶縁型電界効果トランジスタ、及び上記読出用ビット線マルチプレクサ回路 $MUXR_j$ の第11及び第12の絶縁型電界効果トランジスタに比し低い閾値電圧を有することを特徴とするメモリ回路。

【請求項4】請求項1記載のメモリ回路において、上記ビット線プリチャージ回路 PR が、上記プリチャージ用電源端と上記第13及び第14の絶縁型電界効果トランジスタとの間に第1の導電型を有し且つ上記第13、第14及び第15の絶縁型電界効果トランジスタに比し高い閾値電圧を有する第21の絶縁型電界効果トランジスタが介挿され、上記第21の絶縁型電界効果トランジスタのゲートがスリープ用信号入力端に導出されている構成を有することを特徴とするメモリ回路。

【請求項5】請求項1記載のメモリ回路において、 n 個のビット線イコライザ回路 EQ_1 、 EQ_2 、…… EQ_n を有し、上記ビット線イコライザ回路 EQ_j が、上記読出用ビット線 BR_j 及び BR_j' 間に、第2の導電型を有し且つゲートが上記ビット線プリチャージ回路 PR のプリチャージ制御用信号入力端と相補性を有するプリチャージ用信号入力端に導出されている第22の絶縁型電界効果トランジスタが接続されている構成を有し、

上記第22の絶縁型電界効果トランジスタが、上記メモリセル M_{ij} のフリップフロップ回路の第1～第4の絶縁型電界効果トランジスタ、上記メモリセル M_{ij} の第1のトランスファークロスの第5の絶縁型電界効果トランジスタ、上記メモリセル M_{ij} の第2のトランスファークロスの第6の絶縁型電界効果トランジスタ、及び上記読出用ビット線マルチプレクサ回路 $MUXR_j$ の第11及び第12の絶縁型電界効果トランジスタに比し低い閾値電圧を有することを特徴とするメモリ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば1V以下というような低い電源電圧で作動するようになされたメモリ回路に関する。

【0002】

【従来の技術】従来、図2を伴って次に述べるようなメモリ回路が、「森村他、Proceedings1999 International Symposium on Low Power Electronics and Design, p.12-17, 1999」などに、提案されている。

【0003】すなわち、 $m \times n$ 個（ただし、 m 、 n は1以上の整数）のメモリセル M_{11} 、 M_{12} 、…… M_{1n} ； M_{21} 、 M_{22} 、…… M_{2n} ；…… M_{n1} 、 M_{n2} 、…… M_{nn} と、 m 本の書込兼読出用ワード線 W_1 、 W_2 、…… W_m と、 n 対の書込兼読出用ビット線 B_1 及び B_1' 、 B_2 及び B_2' 、…… B_n 及び B_n' と、 n 個の書込兼読出用ビット線マルチプレクサ回路 MUX_1 、 MUX_2 、…… MUX_n と、 n 個のビット線イコライザ回路 EQ_1 、 EQ_2 、…… EQ_n と、対の書込兼読出用データ線 D 及び D' と、ビット線プリチャージ回路 PR と、ビット線センスアンプ回路 AM とを有する。

【0004】そして、メモリセル M_{ij} （ $i=1, 2, \dots, m$ 、 $j=1, 2, \dots, n$ ）が、①メモリセル用電源端1と接地との間に、第1の導電型としての p 型を有する絶縁型電界効果トランジスタ Q_1 と第1の導電型とは逆の第2の導電型としての n 型を有する絶縁型電界効果トランジスタ Q_2 とがそれらの順に直列に接続されているとともに p 型を有する絶縁型電界効果トランジスタ Q_3 と n 型を有する絶縁型電界効果トランジスタ Q_4 とがそれらの順に直列に接続され、そして、それら絶縁型電界効果トランジスタ Q_1 及び Q_2 のゲートが論理信号入出力端 a に導出され、また、絶縁型電界効果トランジスタ Q_3 及び Q_4 のゲートが論理信号入出力端 a' に導出されている構成を有するフリップフロップ回路 FF と、②フリップフロップ回路 FF の論理信号入出力端 a と書込兼読出用ビット線 B_j との間に n 型を有する絶縁型電界効果トランジスタ Q_5 が接続され、その絶縁型電界効果トランジスタゲート Q_5 のゲートが書込兼読出用ワード線 W_i に接続されている構成を有するトランスファークロスの第6の絶縁型電界効果トランジスタと、③フリップフロップ回路 FF の論理信

号入出力端 a' と書込兼読出用ビット線 B_j' との間に n 型を有する絶縁型電界効果トランジスタ Q_6 が接続され、その絶縁型電界効果トランジスタ Q_6 のゲートが書込兼読出用ワード線 W_i' に接続されている構成を有するトランスファークロウ回路 TG' とを有する。

【0005】また、書込兼読出用ビット線マルチプレクサ回路 MUX_j が、書込兼読出用ビット線 B_j 及び B_j' に n 型を有する絶縁型電界効果トランジスタ Q_{23} 及び Q_{24} がそれぞれ介挿され、それら絶縁型電界効果トランジスタ Q_{23} 及び Q_{24} のゲートが列選択用信号入力端 $MUXS_j$ に導出されている構成を有する。

【0006】さらに、書込兼読出用ビット線 B_1 、 B_2 …… B_n が、書込兼読出用ビット線マルチプレクサ回路 MUX_1 、 MUX_2 …… MUX_n の絶縁型電界効果トランジスタ Q_{23} をそれぞれ通じて書込兼読出用データ線 D に接続され、また、書込兼読出用ビット線 B_1' 、 B_2' …… B_n' が、書込兼読出用ビット線マルチプレクサ回路 MUX_1 、 MUX_2 …… MUX_n の絶縁型電界効果トランジスタ Q_{24} をそれぞれ通じて書込兼読出用データ線 D' に接続されている構成を有する。

【0007】また、ビット線イコライザ回路 EQ_j が、書込兼読出用ビット線 B_j 及び B_j' 間に、 n 型を有し且つゲートがプリチャージ用信号入力端 EQS_j に導出されている絶縁型電界効果トランジスタ Q_{22} が接続されている構成を有する。

【0008】さらに、ビット線プリチャージ回路 PR が、プリチャージ用電源端2と書込兼読出用データ線 D との間に p 型を有する絶縁型電界効果トランジスタ Q_{13} が接続され且つプリチャージ用電源端2と書込兼読出用データ線 D' との間に p 型を有する絶縁型電界効果トランジスタ Q_{14} が接続されているとともに、書込兼読出用データ線 D 及び D' 間に p 型を有する絶縁型電界効果トランジスタ Q_{15} が接続され、絶縁型電界効果トランジスタ Q_{13} 、 Q_{14} 及び Q_{15} のゲートがプリチャージ制御用信号入力端 PRS に導出されている構成を有する。

【0009】また、ビット線センスアンプ回路 AM が、センスアンプ用電源端3と接地との間に、① p 型を有する絶縁型電界効果トランジスタ Q_{16} と n 型を有する絶縁型電界効果トランジスタ Q_{17} とがそれらの順に直列に接続されている直列回路と p 型を有する絶縁型電界効果トランジスタ Q_{18} と n 型を有する絶縁型電界効果トランジスタ Q_{19} とがそれらの順に直列に接続されている直列回路との並列回路と、② n 型を有する第20の絶縁型電界効果トランジスタとがそれらの順に直列に接続され、絶縁型電界効果トランジスタ Q_{16} 及び Q_{17} の接続中点と絶縁型電界効果トランジスタ Q_{18} 及び Q_{19} のゲートとが書込兼読出用データ線 D に接続され、絶縁型電界効果トランジスタ Q_{18} 及び Q_{19} の接続中点と絶縁型電界効果トランジスタ Q_{16} 及び Q_{17} のゲ

トとが書込兼読出用データ線 D' に接続され、絶縁型電界効果トランジスタ Q_{20} のゲートがセンスアンプ活性化用信号入力端 AMS に導出されている構成を有する。

【0010】さらに、メモリセル M_{ij} におけるフリップフロップ回路 FF の絶縁型電界効果トランジスタ Q_1 ～ Q_4 、トランスファークロウ回路 TG の絶縁型電界効果トランジスタ Q_5 、トランスファークロウ回路 TG' の絶縁型電界効果トランジスタ Q_6 、ビット線イコライザ回路 EQ_j の絶縁型電界効果トランジスタ Q_{22} 、書込兼読出用ビット線マルチプレクサ回路 MUX_j の絶縁型電界効果トランジスタ Q_{23} 及び Q_{24} 、ビット線プリチャージ回路 PR の絶縁型電界効果トランジスタ Q_{13} ～ Q_{15} 、ビット線センスアンプ回路 AM の絶縁型電界効果トランジスタ Q_{16} ～ Q_{20} が、ともに比較的高い閾値電圧を有している。

【0011】以上が、従来提案されているメモリ回路の構成である。このような構成を有するメモリ回路によれば、書込兼読出用データ線 D 及び D' に、高電位及び低電位でそれぞれ意味づけられた2値表示の「1」及び「0」をとるデータの「1」及び「0」をそれぞれ与えている状態で、書込兼読出用ワード線 W_i に、同じく高電位及び低電位でそれぞれ意味づけられた2値表示の「1」及び「0」をとる行選択用信号の「1」を、書込兼読出用ワード線 W_i を選択する信号として与え、次で、書込兼読出用ビット線マルチプレクサ回路 MUX_j の列選択用信号入力端 $MUXS_j$ に、同じく高電位及び低電位でそれぞれ意味づけられた2値表示の「1」及び「0」をとる列選択用信号の「1」を書込兼読出用ビット線 B_j 及び B_j' を選択する信号として与えれば、データ信号の「1」及び「0」が、書込兼読出用ビット線マルチプレクサ回路 MUX_j の絶縁型電界効果トランジスタ Q_{23} 及び Q_{24} をそれぞれ通じ、次で、メモリセル M_{ij} のトランスファークロウ回路 TG の絶縁型電界効果トランジスタ Q_5 及びトランスファークロウ回路 TG' の絶縁型電界効果トランジスタ Q_6 をそれぞれ通って、フリップフロップ回路 FF の論理信号入出力端 a 及び a' にそれぞれ与えられ、これにより、フリップフロップ回路 FF の絶縁型電界効果トランジスタ Q_1 及び Q_4 がオン、絶縁型電界効果トランジスタ Q_2 及び Q_3 がオフとなり、このため、メモリセル用電源端1に高電位電源 VD を接続しておけば、フリップフロップ回路 FF の論理信号入出力端 a 及び a' に高電位電源 VD の電位（高電位）及び接地の低電位をそれぞれとるデータの「1」及び「0」が得られ、そして、その状態が、爾後、書込兼読出用ワード線 W_i に行選択用信号の「0」が与えられることによって保たれる、という書込兼読出用データ線 D 及び D' にデータの「1」及び「0」をそれぞれ与えてのデータの書き込みが行われる。なお、書込兼読出用ワード線 W_i に行選択用信号の「0」が与えられるのに応じ、列選択用信号入力端 $MUXS_j$ に列選

択用信号の「0」が与えられ、また、書込兼読出用データ線D及びD'にそれまで与えられていたデータの「1」及び「0」が、それと同じデータの「1」及び「0」またはそれと異なるデータの「0」及び「1」になる。

【0012】また、書込兼読出用データ線D及びD'に、データの「0」及び「1」をそれぞれ与えられている状態で、書込兼読出用ワード線W_iに、行選択用信号の「1」を与えられ、次で、書込兼読出用ビット線マルチプレクサ回路MUX_jの列選択用信号入力端MUXS_jに列選択用信号の「1」を与えれば、データ信号の「0」及び「1」が、書込兼読出用ビット線マルチプレクサ回路MUX_iの絶縁型電界効果トランジスタQ23及びQ24をそれぞれ通り、次で、メモリセルM_{ij}のトランスファゲート回路TGの絶縁型電界効果トランジスタQ5及びトランスファゲート回路TG'の絶縁型電界効果トランジスタQ6をそれぞれ通って、フリップフロップ回路FFの論理信号入出力端a及びa'にそれぞれ与えられ、これにより、フリップフロップ回路FFの絶縁型電界効果トランジスタQ2及びQ3がオン、絶縁型電界効果トランジスタQ1及びQ4がオフとなつて、フリップフロップ回路FFの論理信号入出力端a及びa'にデータの「0」及び「1」がそれぞれ得られ、そして、その状態が、爾後、書込兼読出用ワード線W_iに行選択用信号の「0」が与えられることによって保たれる、という書込兼読出用データ線D及びD'にデータの「0」及び「1」をそれぞれ与えてのデータの書き込みが行われる。なお、書込兼読出用ワード線W_iに行選択用信号の「0」が与えられるのに応じ、列選択用信号入力端MUXS_jに列選択用信号の「0」が与えられ、また、書込兼読出用データ線D及びD'にそれぞれこれまで与えられているデータの「0」及び「1」が、それと同じデータの「0」及び「1」またはそれと異なるデータの「1」及び「0」にそれぞれなる。

【0013】また、書込兼読出用ビット線マルチプレクサ回路MUX_jの列選択用信号入力端MUXS_jに列選択用信号の「1」を与え、それと同時にまたはそれと前後して、ビット線イコライザ回路EQ_jのプリチャージ制御用信号入力端EQS_j及びビット線プリチャージ回路PRのプリチャージ制御用信号入力端PRSに、高電位及び低電位でそれぞれ意味づけられた2値表示の「1」及び「0」をとるプリチャージ制御用信号の「1」及び「0」をそれぞれ与えれば、プリチャージ用電源端3に高電位電源VDを接続しておくことによって、書込兼読出用データ線D及び接地間のデータ線容量CD、及び書込兼読出用データ線D'及び接地間のデータ線容量CD'が、高電位電源VDによって、ビット線プリチャージ回路PRの絶縁型電界効果トランジスタQ13、及びQ14をそれぞれ通って、高電圧に充電され、そして、それらの充電電圧が、ビット線プリチャージ回路PRの

絶縁型電界効果トランジスタQ15によって等化される、という状態が得られるとともに、書込兼読出用ビット線B_j及び接地間のビット線容量CB_j、及び書込兼読出用ビット線B_j'及び接地間のビット線容量CB_j'が、上述したように高電圧に充電されていることにより高電位電源とみなされるデータ線容量CD及びCD'による高電位電源によって、書込兼読出用ビット線マルチプレクサ回路MUX_jの絶縁型電界効果トランジスタQ23及びQ24をそれぞれ通って、高電位に充電され、そして、それらの充電電圧が、ビット線イコライザ回路EQ_jの絶縁型電界効果トランジスタQ22によって等化されている、という状態が得られる。

【0014】そして、そのような状態から、書込兼読出用ワード線W_iに行選択用信号の「1」を与え、それと同時にまたはそれと前後して、ビット線センスアンプ回路AMのセンスアンプ活性化用信号入力端AMSに、高電位及び低電位でそれぞれ意味づけられた2値表示の「1」及び「0」をそれぞれとるセンスアンプ活性化用信号の「1」を与えれば、いま、①メモリセルM_{ij}がそのフリップフロップ回路FFの論理信号入出力端a及びa'にデータの「1」及び「0」をそれぞれ出力しているデータの書込状態であるとするとき、そのデータの「1」及び「0」が次に述べるようにして、読み出される。

【0015】すなわち、この場合、ビット線容量CB_j及びデータ線容量CDは実質的に充電もされなければ充電電荷を実質的に放電もせず、よって、書込兼読出用データ線Dにデータの「1」が得られるが、ビット線容量CB_j'の充電電荷がメモリセルM_{ij}のトランスファゲート回路TG'の絶縁型電界効果トランジスタQ6及びフリップフロップ回路FFの絶縁型電界効果トランジスタQ4を通じて接地に放電されるとともに、データ線容量CD'の充電電荷も書込兼読出用ビット線マルチプレクサ回路MUX_jの絶縁型電界効果トランジスタQ24、メモリセルM_{ij}のトランスファゲート回路TG'の絶縁型電界効果トランジスタQ6及びフリップフロップ回路FFの絶縁型電界効果トランジスタQ4を通じて接地に放電され、よって、書込兼読出用データ線D'にデータの「0」が得られる。

【0016】このため、書込兼読出用データ線Dが、ビット線センスアンプ回路AMの絶縁型電界効果トランジスタQ16を通じてセンスアンプ用電源端3に接続され、また書込兼読出用データ線D'が、ビット線センスアンプ回路AMの絶縁型電界効果トランジスタQ19及びQ20を通じて接地に接続され、よって、書込兼読出用データ線D及びD'に、データの「1」及び「0」が、メモリセルM_{ij}のフリップフロップ回路FFの論理信号入出力端a及びa'にそれぞれ得られているデータの「1」及び「0」に比しそれぞれ増幅されている態様で得られる、というメモリセルM_{ij}のフリップフロップ

回路FFの論理信号入出力端a及びa'にデータの「1」及び「0」をそれぞれ出力しているデータの書込状態からのデータの読み出しが行われる。

【0017】また、②メモリセル M_{ij} がそのフリップフロップ回路FFの論理信号入出力端a及びa'にデータの「0」及び「1」をそれぞれ出力しているデータの書込状態であるとき、そのデータの「0」及び「1」が次に述べるようにして読み出される。

【0018】すなわち、この場合、ビット線容量 $C_{Bj'}$ 及びデータ線容量 $C_{D'}$ は実質的に充電もされなければ充電電荷を実質的に放電もせず、よって、書込兼読出用データ線D'にデータの「1」が得られるが、ビット線容量 C_{Bj} の充電電荷がメモリセル M_{ij} のトランスファークロップ回路TGの絶縁型電界効果トランジスタQ5及びフリップフロップ回路FFの絶縁型電界効果トランジスタQ2を通じて接地に放電されるとともに、データ線容量 C_D の充電電荷も書込兼読出用ビット線マルチプレクサ回路MUX_jの絶縁型電界効果トランジスタQ11、メモリセル M_{ij} のトランスファークロップ回路TGの絶縁型電界効果トランジスタQ5及びフリップフロップ回路FFの絶縁型電界効果トランジスタQ2を通じて接地に放電され、よって、書込兼読出用データ線Dにデータの「0」が得られる。

【0019】このため、書込兼読出用データ線D'が、ビット線センスアンプ回路AMの絶縁型電界効果トランジスタQ18を通じてセンスアンプ用電源端3に接続され、また書込兼読出用データ線Dがビット線センスアンプ回路AMの絶縁型電界効果トランジスタQ17及びQ20を通じて接地に接続され、よって、書込兼読出用データ線D及びD'に、データの「0」及び「1」が、メモリセル M_{ij} のフリップフロップ回路FFの論理信号入出力端a及びa'にそれぞれ得られているデータの「0」及び「1」に比しそれぞれ増幅されている態様で得られる、というメモリセル M_{ij} のフリップフロップ回路FFの論理信号入出力端a及びa'にデータの「0」及び「1」をそれぞれ出力しているデータの書込状態からのデータの読み出しが行われる。なお、上述したデータの読み出しが行われたところで、書込兼読出用ワード線W_iに行選択用信号の「0」が与えられ、またビット線センスアンプ回路AMのセンスアンプ活性化用信号入力端AMSにセンスアンプ活性化用信号の「0」が与えられる。

【0020】上述したところから、図2に示すメモリ回路によれば、メモリセル M_{ij} に、書込兼読出用データ線D及びD'にそれぞれ与えるデータの「1」及び「0」、または「0」及び「1」を書き込むことができ、また、その書き込まれたデータの「1」及び「0」、または「0」及び「1」を、書込兼読出用データ線D及びD'にそれぞれ増幅して読み出すことができることが明らかである。

【0021】また、図2に示す従来のメモリ回路によれば、書込兼読出用ビット線 B_j 及び $B_{j'}$ 、及び書込兼読出用データ線D及びD'を、書込兼読出用ビット線 B_j 及び接地間のビット線容量 C_{Bj} 、及び書込兼読出用ビット線 $B_{j'}$ 及び接地間のビット線容量 $C_{Bj'}$ が、書込兼読出用データ線D及び接地間のデータ線容量 C_D 、及び書込兼読出用データ線D'及び接地間のデータ線容量 $C_{D'}$ に比し大であるように、予め形成しておけば、書込兼読出用ビット線 B_j 及び $B_{j'}$ 上の電位変動に対する書込兼読出用データ線D及びD'上の電位変動が、書込兼読出用ビット線 B_j 及び $B_{j'}$ 上の電位変動に比し、大きく得られるので、上述したデータの「1」及び「0」、または「0」及び「1」の読み出し時において、メモリセル M_{ij} に書き込まれたデータの「1」及び「0」、または「0」及び「1」が書込兼読出用ビット線マルチプレクサ回路MUX_jの絶縁型電界効果トランジスタQ11及びQ12によってそれぞれ増幅されてビット線センスアンプ回路AMの論理信号入出力端b及びb'に、高速に与えられ、このため、ビット線センスアンプ回路AMが、その論理信号入出力端b及びb'に与えられるデータの「1」及び「0」、または「0」及び「1」に高速に応答し、よって、データの読み出しを高速に行うことができる、という特徴を有する。

【0022】さらに、ビット線容量 C_{Bj} 及び $C_{Bj'}$ が、ビット線プリチャージ回路PRのプリチャージ用電源端2に接続される高電位電源によって充電されるデータ線容量 C_D 及び $C_{D'}$ の充電電圧よりも、書込兼読出用ビット線マルチプレクサ回路MUX_jの絶縁型電界効果トランジスタQ23及びQ24の閾値電圧分低い充電電圧にしか充電されないため、その分、高電位電源の消費電力が少なくて済む、という特徴を有する。

【0023】

【発明が解決しようとする課題】ところで、図2に示す従来のメモリ回路の場合、上述した高電位電源の消費電力が少なくて済む、という特徴それ自体は、上述したところから明らかなように、書込兼読出用ビット線マルチプレクサ回路MUX_jの絶縁型電界効果トランジスタQ23及びQ24の閾値電圧が高ければ高い程、より大きく発揮するが、その書込兼読出用ビット線マルチプレクサ回路MUX_jの絶縁型電界効果トランジスタQ23及びQ24、他の、メモリセル M_{ij} のフリップフロップ回路FFの絶縁型電界効果トランジスタQ1～Q4、メモリセル M_{ij} のトランスファークロップ回路TGの絶縁型電界効果トランジスタQ5及びトランスファークロップ回路TG'の絶縁型電界効果トランジスタQ6、ビット線イコライザ回路EQの絶縁型電界効果トランジスタQ22、ビット線プリチャージ回路PRの絶縁型電界効果トランジスタQ13～Q25、ビット線センスアンプ回路AMの絶縁型電界効果トランジスタQ16～Q22を含め、全ての絶縁型電界効果トランジスタを高い閾値電圧

を有するものとしている。

【0024】そして、そのように全ての絶縁型電界効果トランジスタを高い閾値電圧を有するものとしているのは各絶縁型電界効果トランジスタに不必要にリーク電流が流れるのを回避せんがためである。

【0025】しかしながら、このようにして全ての絶縁型電界効果トランジスタを高い閾値電圧を有するものとした場合、メモリセル用電源端1、プリチャージ用電源端2及びセンスアンプ用電源端3に対する高電位電源を、例えば1V以下というように低い電源とすることが種々の理由で望まれていることから、そのようにした場合、上述したデータの読み出しを高速に行うことができる、という特徴を得ようとしても、その特徴を十分発揮し得ず、よって、データの読み出しを高速に行うことに一定の限度を有していた、などの問題点があった。

【0026】よって、本発明は、上述した問題点を解決することができる新規なメモリ回路を提案せんとするものである。

【0027】

【課題を解決するための手段】本発明によるメモリ回路は、(i) $m \times n$ 個(ただし、 m 、 n は1以上の整数)のメモリセル M_{11} 、 M_{12} …… M_{1n} ； M_{21} 、 M_{22} …… M_{2n} ；…… M_{m1} 、 M_{m2} …… M_{mn} と、 m 本の書込用ワード線 WW_1 、 WW_2 …… WW_m と、 m 本の読出用ワード線 WR_1 、 WR_2 …… WR_m と、 n 対の書込用ビット線 BW_1 及び BW_1' 、 BW_2 及び BW_2' …… BW_n 及び BW_n' と、 n 対の読出用ビット線 BR_1 及び BR_1' 、 BR_2 及び BR_2' …… BR_n 及び BR_n' と、 n 個の読出用ビット線マルチプレクサ回路 $MUXR_1$ 、 $MUXR_2$ …… $MUXR_n$ と、対の読出用データ線 DR 及び DR' と、ビット線プリチャージ回路 PR と、ビット線センスアンプ回路 AM とを有し、(ii) 上記メモリセル M_{ij} ($i=1, 2, \dots, m$, $j=1, 2, \dots, n$) が、①メモリセル用電源端と接地との間に、第1の導電型を有する第1の絶縁型電界効果トランジスタと第1の導電型とは逆の第2の導電型を有する第2の絶縁型電界効果トランジスタとがそれらの順に直列に接続されているとともに第1の導電型を有する第3の絶縁型電界効果トランジスタと第2の導電型を有する第4の絶縁型電界効果トランジスタとがそれらの順に直列に接続され、上記第1及び第2の絶縁型電界効果トランジスタのゲートが第1の論理信号入出力端に導出され、上記第3及び第4の絶縁型電界効果トランジスタのゲートが第2の論理信号入出力端に導出されている構成を有するフリップフロップ回路と、②上記フリップフロップ回路の第1の論理信号入出力端と上記書込用ビット線 BW_j との間に第2の導電型を有する第5の絶縁型電界効果トランジスタが接続され、その第5の絶縁型電界効果トランジスタのゲートが上記書込用ワード線 WW_i に接続されている構成を有する第1のトランスファークロップ回路と、

③上記フリップフロップ回路の第2の論理信号入出力端と上記書込用ビット線 BW_j' との間に第2の導電型を有する第6の絶縁型電界効果トランジスタが接続され、その第6の絶縁型電界効果トランジスタのゲートが上記書込用ワード線 WW_i に接続されている構成を有する第2のトランスファークロップ回路と、④上記読出用ビット線 BR_j と接地との間に第2の導電型を有する第7の絶縁型電界効果トランジスタと第2の導電型を有する第8の絶縁型電界効果トランジスタとがそれらの順に直列に接続され、上記第7の絶縁型電界効果トランジスタのゲートが上記読出用ワード線 WR_i に接続され、上記第8の絶縁型電界効果トランジスタのゲートが上記フリップフロップ回路の第2の論理信号入出力端に接続されている構成を有する第1の読出回路と、⑤上記読出用ビット線 BR_j' と接地との間に第2の導電型を有する第9の絶縁型電界効果トランジスタと第2の導電型を有する第10の絶縁型電界効果トランジスタとがそれらの順に直列に接続され、上記第9の絶縁型電界効果トランジスタのゲートが上記読出用ワード線 WR_i に接続され、上記第10の絶縁型電界効果トランジスタのゲートが上記フリップフロップ回路の第1の論理信号入出力端に接続されている構成を有する第2の読出回路とを有し、(iii) 上記読出用ビット線マルチプレクサ回路 $MUXR_j$ が、上記読出用ビット線 BR_j 及び BR_j' に第2の導電型を有する第11及び第12の絶縁型電界効果トランジスタがそれぞれ介挿され、それら第11及び第12の絶縁型電界効果トランジスタのゲートが列選択用信号入力端に導出されている構成を有し、(iv) 上記読出用ビット線 BR_1 、 BR_2 …… BR_n が、上記読出用ビット線マルチプレクサ回路 $MUXR_1$ 、 $MUXR_2$ …… $MUXR_n$ の第11の絶縁型電界効果トランジスタをそれぞれ通じて、上記読出用データ線 DR に接続され、(v) 上記ビット線プリチャージ回路 PR が、プリチャージ用電源端と上記読出用データ線 DR との間に第1の導電型を有する第13の絶縁型電界効果トランジスタが接続され且つ上記プリチャージ用電源端と上記読出用データ線 DR' との間に第1の導電型を有する第14の絶縁型電界効果トランジスタが接続されているとともに、上記読出用データ線 DR 及び DR' 間に第1の導電型を有する第15の絶縁型電界効果トランジスタが接続され、上記第13、第14及び第15の絶縁型電界効果トランジスタのゲートがプリチャージ制御用信号入力端に導出されている構成を有し、(vi) 上記ビット線センスアンプ回路 AM が、センスアンプ用電源端と接地との間に、第1の導電型を有する第16の絶縁型電界効果トランジスタと第2の導電型を有する第17の絶縁型電界効果トランジスタとがそれらの順に直列に接続されている第1の直列回路と第1の導電型を有する第18の絶縁型電界効果トランジスタとがそれらの順に直列に接続されているとともに、第2の導電型を有する第19の絶縁型電界効

果トランジスタとがそれらの順に接続されている第2の直列回路との並列回路と、第2の導電型を有する第20の絶縁型電界効果トランジスタとがそれらの順に直列に接続され、上記第16及び第17の絶縁型電界効果トランジスタの接続中点と上記第18及び第19の絶縁型電界効果トランジスタのゲートとが上記読出用データ線DRに接続され、上記第18及び第19の絶縁型電界効果トランジスタの接続中点と上記第16及び第17の絶縁型電界効果トランジスタのゲートとが上記読出用データ線DR'に接続され、第20の絶縁型電界効果トランジスタのゲートがセンスアンプ活性化用信号入力端に導出されている構成を有し、(vii)上記メモリセル M_{ij} の第1の読出回路の第7及び第8の絶縁型電界効果トランジスタ及び上記メモリセル M_{ij} の第2の読出回路の第9及び第10の絶縁型電界効果トランジスタが、上記メモリセル M_{ij} のフリップフロップ回路の第1～第4の絶縁型電界効果トランジスタ、上記メモリセル M_{ij} の第1のトランスファークゲート回路の第5の絶縁型電界効果トランジスタ、上記メモリセル M_{ij} の第2のトランスファークゲート回路の第6の絶縁型電界効果トランジスタ、及び上記読出用ビット線マルチプレクサ回路MUXR_jの第11及び第12の絶縁型電界効果トランジスタに比し低い閾値電圧を有する。

【0028】この場合、上記ビット線プリチャージ回路PRの第13、第14及び第15の絶縁型電界効果トランジスタが、上記メモリセル M_{ij} のフリップフロップ回路の第1～第4の絶縁型電界効果トランジスタ、上記メモリセル M_{ij} の第1のトランスファークゲート回路の第5の絶縁型電界効果トランジスタ、上記メモリセル M_{ij} の第2のトランスファークゲート回路の第6の絶縁型電界効果トランジスタ、及び上記読出用ビット線マルチプレクサ回路MUXR_jの第11及び第12の絶縁型電界効果トランジスタに比し低い閾値電圧を有するのを可とする。

【0029】また、上記ビット線センスアンプ回路AMの第17及び第19及び第20の絶縁型電界効果トランジスタが、上記メモリセル M_{ij} のフリップフロップ回路の第1～第4の絶縁型電界効果トランジスタ、上記メモリセル M_{ij} の第1のトランスファークゲート回路の第5の絶縁型電界効果トランジスタ、上記メモリセル M_{ij} の第2のトランスファークゲート回路の第6の絶縁型電界効果トランジスタ、及び上記読出用ビット線マルチプレクサ回路MUXR_jの第11及び第12の絶縁型電界効果トランジスタに比し低い閾値電圧を有するのを可とする。

【0030】さらに、上記ビット線プリチャージ回路PRが、上記プリチャージ用電源端と上記第13及び第14の絶縁型電界効果トランジスタとの間に第1の導電型を有し且つ上記第13、第14及び第15の絶縁型電界効果トランジスタに比し高い閾値電圧を有する第21の絶縁型電界効果トランジスタが介挿され、上記第21の

絶縁型電界効果トランジスタのゲートがスリープ用信号入力端に導出されている構成を有するのを可とする。

【0031】また、 n 個のビット線イコライザ回路EQ₁、EQ₂……EQ_nを有し、そのビット線イコライザ回路EQ_jが、上記読出用ビット線BR_j及びBR_j'間に、第2の導電型を有し且つゲートが上記ビット線プリチャージ回路PRのプリチャージ制御用信号入力端と相補性を有するプリチャージ用信号入力端に導出されている第22の絶縁型電界効果トランジスタが接続されている構成を有し、上記第22の絶縁型電界効果トランジスタが、上記メモリセル M_{ij} のフリップフロップ回路の第1～第4の絶縁型電界効果トランジスタ、上記メモリセル M_{ij} の第1のトランスファークゲート回路の第5の絶縁型電界効果トランジスタ、上記メモリセル M_{ij} の第2のトランスファークゲート回路の第6の絶縁型電界効果トランジスタ、及び上記読出用ビット線マルチプレクサ回路MUXR_jの第11及び第12の絶縁型電界効果トランジスタに比し低い閾値電圧を有するのを可とする。

【0032】

【発明の実施の形態】次に、図1を伴って本発明によるメモリ回路の実施の形態を述べよう。図1において、図2との対応部分には同一符号を付して示す。

【0033】図1に示す本発明によるメモリ回路は、次に述べる構成を有する。すなわち、図2に示す従来のメモリ回路の場合と同様に、 $m \times n$ 個（ただし、 m 、 n は1以上の整数）のメモリセル $M_{11} \sim M_{1n}$ 、 $M_{21} \sim M_{2n}$ 、…… $M_{n1} \sim M_{nn}$ を有する。

【0034】また、図2に示す従来のメモリ回路の場合の m 本の書込兼読出用ワード線 $W_1 \sim W_n$ に対応している、 m 本の書込用ワード線 $WW_1 \sim WW_n$ と、 m 本の読出用ワード線 $WR_1 \sim WR_n$ とを有する。

【0035】さらに、図2に示す従来のメモリ回路の場合の n 対の書込兼読出用ビット線 B_1 及び $B_1' \sim B_n$ 及び B_n' に対応している、 n 対の書込用ビット線 BW_1 及び $BW_1' \sim BW_n$ 及び BW_n' と、 n 対の読出用ビット線 BR_1 及び $BR_1' \sim BR_n$ 及び BR_n' とを有する。

【0036】また、図2に示す従来のメモリ回路の場合の n 個の書込兼読出用ビット線マルチプレクサ回路MUX₁～MUX_nに対応している、 n 個の書込用ビット線マルチプレクサ回路MUXW₁～MUXW_nと、 n 個の読出用ビット線マルチプレクサ回路MUXR₁～MUXR_nとを有する。

【0037】さらに、図2に示す従来のメモリ回路の場合と同様に、 n 個のビット線イコライザ回路EQ₁～EQ_nを有する。

【0038】また、図2に示す従来のメモリ回路の場合の対の書込兼読出用データ線D及びD'に対応している、対の書込用データ線DW及びDW'と、対の読出用データ線DR及びDR'とを有する。

【0039】さらに、図2に示す従来のメモリ回路の場合

合と同様に、ビット線プリチャージ回路PRと、ビット線センスアンプ回路AMとを有する。

【0040】そして、メモリセル M_{ij} ($i=1, 2, \dots, m, j=1, 2, \dots, n$) が、図2に示す従来のメモリ回路の場合に準じて、①メモリセル用電源端1と接地との間に、第1の導電型としてのp型を有する絶縁型電界効果トランジスタQ1と第1の導電型とは逆の第2の導電型としてのn型を有する絶縁型電界効果トランジスタQ2とがそれらの順に直列に接続されているとともにp型を有する絶縁型電界効果トランジスタQ3とn型を有する絶縁型電界効果トランジスタQ4とがそれらの順に直列に接続され、そして、それら絶縁型電界効果トランジスタQ1及びQ2のゲートが論理信号入出力端aに導出され、また、絶縁型電界効果トランジスタQ3及びQ4のゲートが論理信号入出力端a'に導出されている構成を有するフリップフロップ回路FFと、②フリップフロップ回路FFの論理信号入出力端aと書込用ビット線 BW_j との間にn型を有する絶縁型電界効果トランジスタQ5が接続され、その絶縁型電界効果トランジスタQ5のゲートが書込用ワード線 WW_i に接続されている構成を有するトランスファゲート回路TGと、③フリップフロップ回路FFの論理信号入出力端a'と書込用ビット線 BW_j との間にn型を有する絶縁型電界効果トランジスタQ6が接続され、その絶縁型電界効果トランジスタQ6のゲートが書込用ワード線 WW_i に接続されている構成を有するトランスファゲート回路TG'とを有するとともに、図2に示す従来のメモリ回路の場合とは異なり、④読出用ビット線 BR_j と接地との間にn型の絶縁型電界効果トランジスタQ7とn型の絶縁型電界効果トランジスタQ8とがそれらの順に直列に接続され、絶縁型電界効果トランジスタQ7のゲートが読出用ワード線 WR_i に接続され、絶縁型電界効果トランジスタQ8のゲートがフリップフロップ回路FFの論理信号入出力端a'に接続されている構成を有する読出回路RRと、⑤読出用ビット線 BR_j と接地との間にn型の絶縁型電界効果トランジスタQ9とn型の絶縁型電界効果トランジスタQ10とがそれらの順に直列に接続され、絶縁型電界効果トランジスタQ9のゲートが読出用ワード線 WR_i に接続され、絶縁型電界効果トランジスタQ10のゲートがフリップフロップ回路FFの論理信号入出力端aに接続されている構成を有する読出回路RR'とを有する。

【0041】また、図2に示す従来のメモリ回路の場合に準じて、書込用マルチプレクサ回路 $MUXW_j$ が、書込用ビット線 BW_j 及び BW_j' にn型を有する絶縁型電界効果トランジスタQ23及びQ24がそれぞれ介挿され、それら絶縁型電界効果トランジスタQ23及びQ24のゲートが書込用列選択用信号入力端 $MUXWS_j$ に導出されている構成を有する。

【0042】さらに、図2に示す従来のメモリ回路の場合に準じて、書込用ビット線 BW_1, BW_2, \dots, BW_n が、書込用マルチプレクサ回路 $MUXW_1, MUXW_2, \dots, MUXW_n$ の絶縁型電界効果トランジスタ23をそれぞれ通じて書込用データ線DWに接続されている構成を有し、また、書込用ビット線 $BW_1', BW_2', \dots, BW_n'$ が、書込用マルチプレクサ回路 $MUXW_1, MUXW_2, \dots, MUXW_n$ の絶縁型電界効果トランジスタ24をそれぞれ通じて書込用データ線DW'に接続されている構成を有する。

【0043】また、図2に示す従来のメモリ回路の場合に準じて、読出用ビット線 BR_1, BR_2, \dots, BR_n が、読出用マルチプレクサ回路 $MUXR_1, MUXR_2, \dots, MUXR_n$ の絶縁型電界効果トランジスタQ11をそれぞれ通じて読出用データ線DRに接続されている構成を有し、また、読出用ビット線 $BR_1', BR_2', \dots, BR_n'$ が、読出用マルチプレクサ回路 $MUXR_1, MUXR_2, \dots, MUXR_n$ の絶縁型電界効果トランジスタQ12をそれぞれ通じて読出用データ線DR'に接続されている構成を有する。

【0044】さらに、図2に示す従来のメモリ回路の場合に準じて、ビット線イコライザ回路EQ_jが、読出用ビット線 BR_j 及び BR_j' 間に、n型を有し且つゲートがプリチャージ用信号入力端EQS_jに導出されている絶縁型電界効果トランジスタQ22が接続されている構成を有する。

【0045】また、図2に示す従来のメモリ回路の場合に準じて、ビット線プリチャージ回路PRが、プリチャージ用兼センスアンプ用電源端23と読出用データ線DRとの間にp型を有する絶縁型電界効果トランジスタQ21を介してp型を有する絶縁型電界効果トランジスタQ13が接続され且つプリチャージ用電源端2と読出用データ線DR'との間に絶縁型電界効果トランジスタQ21を介してp型を有する絶縁型電界効果トランジスタQ14が接続されているとともに、読出用データ線DR及びDR'間にp型を有する絶縁型電界効果トランジスタQ15が接続され、絶縁型電界効果トランジスタQ21のゲートがスリープ用信号入力端PRSSに接続され、絶縁型電界効果トランジスタQ13、Q14及びQ15のゲートがプリチャージ制御用信号入力端PRSに導出されている構成を有する。

【0046】さらに、図2に示す従来のメモリ回路の場合に準じて、ビット線センスアンプ回路AMが、プリチャージ用兼センスアンプ用電源端23と接地との間に、①ビット線プリチャージ回路PRで上述した絶縁型電界効果トランジスタQ21と、②p型を有する絶縁型電界効果トランジスタQ16とn型を有する絶縁型電界効果トランジスタQ17とがそれらの順に直列に接続されている直列回路とp型を有する絶縁型電界効果トランジスタQ18とn型を有する絶縁型電界効果トランジスタQ19とがそれらの順に直列に接続されている直列回路と

の並列回路と、③n型を有する絶縁型電界効果トランジスタQ20とがそれらの順に直列に接続され、絶縁型電界効果トランジスタQ16及びQ17の接続中点と絶縁型電界効果トランジスタQ18及びQ19のゲートとが読出用データ線DRに接続され、絶縁型電界効果トランジスタQ18及びQ19の接続中点と絶縁型電界効果トランジスタQ16及びQ17のゲートとが読出用データ線DR'に接続され、絶縁型電界効果トランジスタQ20のゲートがセンスアンプ活性化用信号入力端AMSに導出されている構成を有する。

【0047】また、メモリセルM_{ij}におけるフリップフロップ回路FFの絶縁型電界効果トランジスタQ1～Q4、トランスファークゲート回路TGの絶縁型電界効果トランジスタQ5、トランスファークゲート回路TG'の絶縁型電界効果トランジスタQ6、書込用マルチプレクサ回路MUXW_jの絶縁型電界効果トランジスタQ23及びQ24、読出用マルチプレクサ回路MUXR_jの絶縁型電界効果トランジスタQ11及びQ12、ビット線プリチャージ回路PRの絶縁型電界効果トランジスタQ21、及びビット線センスアンプ回路AMの絶縁型電界効果トランジスタQ16及びQ18が、図2に示す従来のメモリ回路の場合と同様に、高い閾値電圧を有し、読出回路RRの絶縁型電界効果トランジスタQ7及びQ8、読出回路RR'の絶縁型電界効果トランジスタQ9及びQ10、ビット線イコライザ回路EQ_jの絶縁型電界効果トランジスタQ22、ビット線プリチャージ回路PRの絶縁型電界効果トランジスタQ13及びQ14、ビット線センスアンプ回路AMの絶縁型電界効果トランジスタQ17、Q18及びQ20が、メモリセルM_{ij}におけるフリップフロップ回路FFの絶縁型電界効果トランジスタQ1～Q4、トランスファークゲート回路TGの絶縁型電界効果トランジスタQ5、トランスファークゲート回路TG'の絶縁型電界効果トランジスタQ6、書込用マルチプレクサ回路MUXW_jの絶縁型電界効果トランジスタQ23及びQ24、読出用マルチプレクサ回路MUXR_jの絶縁型電界効果トランジスタQ11及びQ12、ビット線プリチャージ回路PRの絶縁型電界効果トランジスタQ21、及びビット線センスアンプ回路AMの絶縁型電界効果トランジスタQ16及びQ18に比し、低い閾値電圧を有している。

【0048】以上が、本発明によるメモリ回路の実施の形態の構成である。このような構成を有する本発明によるメモリ回路によれば、図2に示す従来のメモリ回路の場合に準じて、書込用データ線DW及びDW'に、高電位及び低電位でそれぞれ意味づけられた2値表示の「1」及び「0」をとるデータの「1」及び「0」をそれぞれ与えている状態で、書込用ワード線WW_iに、同じく高電位及び低電位でそれぞれ意味づけられた2値表示の「1」及び「0」をとる行選択用信号の「1」を、書込用ワード線WW_iを選択する信号として与え、次

で、書込用ビット線マルチプレクサ回路MUXW_jの列選択用信号入力端MUXWS_jに、同じく高電位及び低電位でそれぞれ意味づけられた2値表示の「1」及び「0」をとる列選択用信号の「1」を書込用ビット線BW_j及びBW_j'を選択する信号として与えれば、データ信号の「1」及び「0」が、書込用ビット線マルチプレクサ回路MUXW_jの絶縁型電界効果トランジスタQ23及びQ24をそれぞれ通り、次で、メモリセルM_{ij}のトランスファークゲート回路TGの絶縁型電界効果トランジスタQ5及びトランスファークゲート回路TG'の絶縁型電界効果トランジスタQ6をそれぞれ通って、フリップフロップ回路FFの論理信号入出力端a及びa'にそれぞれ与えられ、これにより、フリップフロップ回路FFの絶縁型電界効果トランジスタQ1及びQ4がオン、絶縁型電界効果トランジスタQ2及びQ3がオフとなり、このため、メモリセル用電源端1に高電位電源VDを接続しておけば、フリップフロップ回路FFの論理信号入出力端a及びa'に高電位電源VDの電位（高電位）及び接地の低電位をそれぞれとるデータの「1」及び「0」がそれぞれ得られ、そして、その状態が、爾後、書込用ワード線WW_iに行選択用信号の「0」が与えられることによって保たれる、という書込用データ線DW及びDW'にデータの「1」及び「0」をそれぞれ与えてのデータの書き込みが行われる。なお、書込用ワード線WW_iに行選択用信号の「0」が与えられるのに応じ、列選択用信号入力端MUXWS_jに列選択用信号の「0」が与えられ、書込用データ線DW及びDW'にそれぞれいままで与えられたデータの「1」及び「0」が、それと同じデータの「1」及び「0」またはそれと異なるデータの「0」及び「1」にそれぞれなる。

【0049】また、書込用データ線DW及びDW'に、データの「0」及び「1」をそれぞれ与えている状態で、書込用ワード線WW_iに、行選択用信号の「1」を与え、次で、書込用ビット線マルチプレクサ回路MUXW_jの列選択用信号入力端MUXWS_jに列選択用信号の「1」を与えれば、データ信号の「0」及び「1」が、書込用ビット線マルチプレクサ回路MUXW_jの絶縁型電界効果トランジスタQ23及びQ24をそれぞれ通り、次で、メモリセルM_{ij}のトランスファークゲート回路TGの絶縁型電界効果トランジスタQ5及びトランスファークゲート回路TG'の絶縁型電界効果トランジスタQ6をそれぞれ通って、フリップフロップ回路FFの論理信号入出力端a及びa'にそれぞれ与えられ、これにより、フリップフロップ回路FFの絶縁型電界効果トランジスタQ1及びQ4がオフとなって、フリップフロップ回路FFの論理信号入出力端a及びa'にデータの「0」及び「1」がそれぞれ得られ、そして、その状態が、爾後、書込用ワード線WW_iに行選択用信号の「0」が与えられることによって保たれる、という書込用データ線

DW及びDW' に「0」及び「1」をそれぞれ与えてのデータの書き込みが行われる。なお、書込用ワード線 W_i に行選択用信号の「0」が与えられるのに応じ、列選択用信号入力端MUXWS $_j$ に列選択用信号の「0」が与えられ、また、書込用データ線DW及びDW' にそれぞれいままで与えられていたデータの「0」及び「1」が、それと同じデータの「0」及び「1」またはそれと異なるデータの「1」及び「0」にそれぞれなる。

【0050】また、スリープ用信号入力端PRSSに高電位及び低電位でそれぞれ意味づけられた2値表示の「1」及び「0」をとるスリープ用信号の「1」を与え、次で、読出用ビット線マルチプレクサ回路MUXR $_j$ の列選択用信号入力端MUXRS $_j$ に列選択用信号の「1」を与え、それと同時にまたはそれと前後して、ビット線イコライザ回路EQ $_j$ のプリチャージ制御用信号入力端EQS $_j$ 及びビット線プリチャージ回路PRのプリチャージ制御用信号入力端PRSに、高電位及び低電位でそれぞれ意味づけられた2値表示の「1」及び「0」をとるプリチャージ制御用信号の「1」及び「0」をそれぞれ与えれば、プリチャージ用兼センスアンプ用電源端23に高電位電源VDを接続しておくことによって、読出用データ線DR及び接地間のデータ線容量CD、及び読出用データ線DR'及び接地間のデータ線容量CD'が、高電位電源VDによって、絶縁型電界効果トランジスタQ21、及びビット線プリチャージ回路PRの絶縁型電界効果トランジスタQ13及びQ14をそれぞれ通って、高電圧に充電され、そして、その充電電圧が、ビット線プリチャージ回路PRの絶縁型電界効果トランジスタQ15によって等化される、という状態が得られるとともに、読出用ビット線BR $_j$ 及び接地間のビット線容量CB $_j$ 、及び読出用ビット線BR $_j$ '及び接地間のビット線容量CB $_j$ 'が、データ線容量CD、及びCD'が上述したように高電圧に充電されていることにより高電位電源とみなされるデータ線容量CD及びCD'による高電位電源によって、読出用ビット線マルチプレクサ回路MUXR $_j$ の絶縁型電界効果トランジスタQ11及びQ12をそれぞれ通って、高電圧に充電され、そして、それらの充電電圧が、ビット線イコライザ回路EQ $_j$ の絶縁型電界効果トランジスタQ22によって等化されている、という状態が得られる。

【0051】そして、そのような状態から、ビット線イコライザ回路EQ $_j$ のプリチャージ制御用信号入力端EQS $_j$ 及びビット線プリチャージ回路PRのプリチャージ制御用信号入力端PRSに、プリチャージ制御用信号の「0」及び「1」をそれぞれ与えてから、読出用ワード線WR $_i$ に行選択用信号の「1」を与え、それと同時にまたはそれと前後して、ビット線センスアンプ回路AMのセンスアンプ活性化用信号入力端AMSに高電位及び低電位でそれぞれ意味づけられた2値表示の「1」及

び「0」をそれぞれとるセンスアンプ活性化用信号の「1」を与えれば、いま、①メモリセルM $_{ij}$ がそのフリップフロップ回路FFの論理信号入出力端a及びa'にデータの「1」及び「0」をそれぞれ出力しているデータの書込状態であるとするとき、そのデータの「1」及び「0」が次に述べるようにして読み出される。

【0052】すなわち、この場合、ビット線容量CB $_j$ 及びデータ線容量CDが充電もされなければ充電電荷を実質的に放電せず、よって、読出用データ線DRにデータの「1」が得られ、それがビット線センスアンプ回路AMの論理信号入出力端bに与えられるが、ビット線容量CB $_j$ 'の充電電荷がメモリセルM $_{ij}$ の読出回路RR'の絶縁型電界効果トランジスタQ9及びQ10を通じて接地に放電されるとともに、データ線容量CD'の充電電荷も読出用ビット線マルチプレクサ回路MUXR $_j$ の絶縁型電界効果トランジスタQ12、メモリセルM $_{ij}$ の読出回路RR'の絶縁型電界効果トランジスタQ9及びQ10を通じて接地に放電され、よって、読出用データ線DR'にデータの「0」が得られ、それがビット線センスアンプ回路AMの論理信号入出力端b'に与えられる。

【0053】このため、読出用データ線DR'に、プリチャージ用兼センスアンプ用電源端23に接続されている高電位電源の高電位が、ビット線センスアンプ回路AMの絶縁型電界効果トランジスタQ16及びビット線プリチャージ回路PRの絶縁型電界効果トランジスタQ21を通じて与えられ、また読出用データ線DR'に、接地電位（低電位）が、ビット線センスアンプ回路AMの絶縁型電界効果トランジスタQ19及びQ20を通じて与えられ、よって、読出用データ線DR及びDR'に、ビット線センスアンプ回路AMの論理信号入出力端b及びb'に与えられたデータの「1」及び「0」の増幅されたデータの「1」及び「0」が得られる、という態様で、メモリセルM $_{ij}$ がそのフリップフロップ回路FFの論理信号入出力端a及びa'にデータの「1」及び「0」をそれぞれ出力しているデータの書込状態からのデータの読み出しが行われる。

【0054】また、②メモリセルM $_{ij}$ がそのフリップフロップ回路FFの論理信号入出力端a及びa'にデータの「0」及び「1」をそれぞれ出力しているデータの書込状態であるとするとき、そのデータの「0」及び「1」が次に述べるようにして読み出される。

【0055】すなわち、この場合、ビット線容量CB $_j$ '及びデータ線容量CD'が充電もされなければ充電電荷を実質的に放電せず、よって、読出用データ線DR'にデータの「1」が得られ、それがビット線センスアンプ回路AMの論理信号入出力端b'に与えられるが、ビット線容量CBの充電電荷がメモリセルM $_{ij}$ の読出回路RRの絶縁型電界効果トランジスタQ7及びQ8を通じて接地に放電されるとともに、データ線容量CD

の充電電荷も読出用ビット線マルチプレクサ回路 $MUXR_j$ の絶縁型電界効果トランジスタ $Q11$ 、メモリセル M_{ij} の読出回路 RR の絶縁型電界効果トランジスタ $Q7$ 及び $Q8$ を通じて接地に放電され、よって、読出用データ線 DR にデータの「0」が得られ、それがビット線センスアンプ回路 AM の論理信号入出力端 b に与えられる。

【0056】このため、読出用データ線 DR' に、プリチャージ用兼センスアンプ用電源端 23 に接続されている高電位電源の高電位が、ビット線センスアンプ回路 AM の絶縁型電界効果トランジスタ $Q18$ 及びビット線プリチャージ回路 PR の絶縁型電界効果トランジスタ $Q21$ を通じて与えられ、また読出用データ線 DR に、接地電位（低電位）が、ビット線センスアンプ回路 AM の絶縁型電界効果トランジスタ $Q17$ 及び $Q20$ を通じて与えられ、よって、読出用データ線 DR 及び DR' に、ビット線センスアンプ回路 AM の論理信号入出力端 b 及び b' に与えられるデータの「0」及び「1」の増幅されたデータの「0」及び「1」が得られる、という態様で、メモリセル M_{ij} がそのフリップフロップ回路 FF の論理信号入出力端 a 及び a' にデータの「0」及び「1」をそれぞれ出力しているデータの書込状態からのデータの読み出しが行われる。なお、上述したデータの読み出しが行われたところで、読出用ワード線 WR_i に行選択用信号の「0」が与えられ、またビット線センスアンプ回路 AM のセンスアンプ活性化用信号入力端 AMS にセンスアンプ活性化用信号の「0」が与えられ、スリープ用信号入力端 $PRSS$ にスリープ用信号の「0」が与えられる。

【0057】上述したところから、図1に示す本発明によるメモリ回路によれば、書込用データ線 DW 及び DW' にそれぞれ与えるデータの「1」及び「0」、または「0」及び「1」を、メモリセル M_{ij} に書き込ませることができ、また、そのメモリセル M_{ij} に書き込まれたデータの「1」及び「0」、または「0」及び「1」を、読出用データ線 DR 及び DR' にそれぞれビット線センスアンプ回路 AM で増幅して読み出すことができることが明らかである。

【0058】また、図1に示す本発明によるメモリ回路によれば、上述したように、メモリセル M_{ij} に書き込まれたデータの「1」及び「0」、または「0」及び「1」を、読出用データ線 DR 及び DR' にビット線センスアンプ回路 AM で増幅して読み出すことができるが、この場合、図2に示す従来のメモリ回路の場合に準じて、ビット線センスアンプ回路 AM の論理信号入出力端 b 及び b' に与えられるデータの「1」及び「0」、または「0」及び「1」は、読出用ビット線 BR_j 及び BR_j' 、及び読出用データ線 DR 及び DR' が、読出用ビット線 BR_j 及び接地間のビット線容量 C_{Bj} 、及び読出用ビット線 BR_j 及び接地間のビット線容量 C_{Bj}'

が、読出用データ線 DR 及び接地間のデータ線容量 C_D 、及び読出用データ線 DR' 及び接地間のデータ線容量 $C_{D'}$ に比し大であるように、予め形成されていれば、読出用ビット線 BR_j 及び BR_j' 上の電位変動に対する読出用データ線 DR 及び DR' 上の電位変動が、読出用ビット線マルチプレクサ回路 $MUXR_j$ の絶縁型電界効果トランジスタ $Q11$ 及び $Q22$ のために、読出用ビット線 BR_j 及び BR_j' 上の電位変動に比し、大きく得られることから、メモリセル M_{ij} に書き込まれたデータの「1」及び「0」、または「0」及び「1」が、読出用ビット線マルチプレクサ回路 $MUXR_j$ の絶縁型電界効果トランジスタ $Q11$ 及び $Q12$ によってそれぞれ増幅されたデータの「1」及び「0」、または「0」及び「1」である。このため、図2に示す従来のメモリ回路の場合と同様に、ビット線センスアンプ回路 AM が、その論理信号入出力端 b 及び b' に与えられるデータの「1」及び「0」、または「0」及び「1」に高速にตอบสนองし、よって、メモリセル M_{ij} に書き込まれたデータの「1」及び「0」、または「0」及び「1」の読出用データ線 DR 及び DR' への読み出しを、高速に行うことができる、という特徴を有する。

【0059】さらに、図1に示す本発明によるメモリ回路によれば、図2に示す従来のメモリ回路の場合に準じて、ビット線容量 C_{Bj} 及び C_{Bj}' が、ビット線プリチャージ回路 PR のプリチャージ用電源端 2 に接続されている高電位電源によって充電されるデータ線容量 C_D 及び $C_{D'}$ の充電電圧よりも、読出用ビット線マルチプレクサ回路 $MUXR_j$ の絶縁型電界効果トランジスタ $Q11$ 及び $Q12$ の閾値電圧分低い充電電圧にしか充電されないで、その分、高電位電源の消費電力が少なくて済む、という特徴を有する。

【0060】また、図1に示す本発明によるメモリ回路によれば、メモリセル M_{ij} において、読出用ビット線 BR_j 及び接地間に絶縁型電界効果トランジスタ $Q7$ 及び $Q8$ の直列回路でなる読出回路 RR が接続され、また読出用ビット線 BR_j' 及び接地間に絶縁型電界効果トランジスタ $Q9$ 及び $Q10$ の直列回路でなる読出回路 RR' が接続され、そして、それら読出回路 RR の絶縁型電界効果トランジスタ $Q7$ 及び $Q8$ 、及び読出回路 RR' の絶縁型電界効果トランジスタ $Q9$ 及び $Q10$ が低い閾値電圧を有しているので、上述したようにビット線容量 C_{Bj} の充電電荷を読出回路 RR の絶縁型電界効果トランジスタ $Q7$ 及び $Q8$ を通じて接地に放電するとき、及びビット線容量 C_{Bj}' の充電電荷を読出回路 RR' の絶縁型電界効果トランジスタ $Q9$ 及び $Q10$ を通じて接地に放電するとき、それらの放電を急速に行わせることができる。このため、メモリセル M_{ij} に書き込まれたデータの「1」及び「0」、または「0」及び「1」の読出用データ線 DR 及び DR' への読み出しを、図2に示す従来のメモリ回路の場合に比し高速化する

ることができる。

【0061】さらに、図1に示す本発明によるメモリ回路によれば、読出用ビット線 BR_j 及び BR_j' 間に接続されている絶縁型電界効果トランジスタ Q_{22} を有するビット線イコライザ回路 E_{Q_j} を有し、そして、そのビット線イコライザ回路 E_{Q_j} の絶縁型電界効果トランジスタ Q_{22} が低い閾値電圧を有しているので、上述したように、読出用ビット線 BR_j 及び接地間のビット線容量 CB_j 、及び読出用ビット線 BR_j' 及び接地間のビット線容量 CB_j' が、高電圧に充電され、そしてその充電電圧を、ビット線イコライザ回路 E_{Q_j} の絶縁型電界効果トランジスタ Q_{22} によって、等化させるとき、その等化を急速に行わせることができる。このため、メモリセル M_{ij} に書き込まれたデータの「1」及び「0」、または「0」及び「1」の読出用データ線 DR 及び DR' への読み出しを、図2に示す従来のメモリ回路の場合に比し高速化することができる。

【0062】また、図1に示す本発明によるメモリ回路によれば、ビット線プリチャージ回路 PR において、プリチャージ用兼センスアンプ用電源端23と読出用データ線 DR との間に絶縁型電界効果トランジスタ Q_{21} を介して絶縁型電界効果トランジスタ Q_{13} が接続され且つプリチャージ用兼センスアンプ用電源端23と読出用データ線 DR' との間に絶縁型電界効果トランジスタ Q_{21} を介して絶縁型電界効果トランジスタ Q_{13} が接続されているとともに、読出用データ線 DR 及び DR' 間に絶縁型電界効果トランジスタ Q_{15} が接続され、そして、絶縁型電界効果トランジスタ $Q_{13} \sim Q_{15}$ が低い閾値電圧を有しているので、上述したように、読出用データ線 DR 及び接地間のデータ線容量 CD 及び読出用データ線 DR' 及び接地間のデータ線容量 CD' 、及び読出用ビット線 BR_j 及び接地間のビット線容量 CB_j 及び読出用ビット線 BR_j' 及び接地間のビット線容量 CB_j' を、プリチャージ用兼センスアンプ用電源端23に接続している高電位電源に基づき充電させるとき、その充電を急速に行わせることができ、また、上述したように、読出用データ線 DR 及び DR' の充電電圧を、絶縁型電界効果トランジスタ Q_{15} によって等化させるとき、その等化を急速に行わせることができる。このため、メモリセル M_{ij} に書き込まれたデータの「1」及び「0」、または「0」及び「1」の読出用データ線 DR 及び DR' への読み出しを、図2に示す従来のメモリ回路の場合に比し高速化することができる。

【0063】さらに、ビット線プリチャージ回路 PR において、絶縁型電界効果トランジスタ Q_{13} 及び Q_{14} が絶縁型電界効果トランジスタ Q_{21} を介してプリチャージ用兼センスアンプ用電源端23に接続され、そして、その絶縁型電界効果トランジスタ Q_{21} がスリープ用信号によって制御されるようになされているので、それら絶縁型電界効果トランジスタ Q_{13} 及び Q_{14} が、

絶縁型電界効果トランジスタ Q_{21} を介することなしに直接的にプリチャージ用兼センスアンプ用電源端23に接続されている場合に比し、プリチャージ用兼センスアンプ用電源端23に接続される高電位電源の消費電力を低減させることができる。

【0064】また、ビット線センスアンプ回路 AM において、プリチャージ用兼センスアンプ用電源端23と接地との間に、①絶縁型電界効果トランジスタ Q_{21} と、②絶縁型電界効果トランジスタ Q_{16} 及び Q_{17} の直列回路と絶縁型電界効果トランジスタ Q_{18} 及び Q_{19} の直列回路との並列回路と、③絶縁型電界効果トランジスタ Q_{20} とが直列に接続され、そして、絶縁型電界効果トランジスタ Q_{17} 、 Q_{19} 及び Q_{20} が低い閾値電圧を有しているので、上述したように、読出用データ線 DR に絶縁型電界効果トランジスタ Q_{17} 及び Q_{20} を通じて接地電位を与え、また読出用データ線 DR' に絶縁型電界効果トランジスタ Q_{17} 及び Q_{20} を通じて接地電位を与え、その接地電位を急速に与えることができる。このため、メモリセル M_{ij} に書き込まれたデータの「1」及び「0」、または「0」及び「1」の読出用データ線 DR 及び DR' への読み出しを、図2に示す従来のメモリ回路の場合に比し高速化することができる。

【0065】さらに、ビット線センスアンプ回路 AM において、絶縁型電界効果トランジスタ Q_{16} 及び Q_{17} の直列回路と絶縁型電界効果トランジスタ Q_{18} 及び Q_{19} の直列回路との並列回路と、絶縁型電界効果トランジスタ Q_{20} との直列回路が、絶縁型電界効果トランジスタ Q_{21} を介して、プリチャージ用兼センスアンプ用電源端23に接続され、そしてその絶縁型電界効果トランジスタ Q_{21} がスリープ用信号によって制御されるようになされているので、絶縁型電界効果トランジスタ Q_{16} 及び Q_{17} の直列回路と絶縁型電界効果トランジスタ Q_{18} 及び Q_{19} の直列回路との並列回路と、絶縁型電界効果トランジスタ Q_{20} との直列回路が、絶縁型電界効果トランジスタ Q_{21} を介することなしに直接的にプリチャージ用兼センスアンプ用電源端23に接続されている場合に比し、プリチャージ用兼センスアンプ用電源端23に接続される高電位電源の消費電力を低減させることができる。

【0066】なお、上述においては、本発明によるメモリ回路の1つの実施の形態を示したに過ぎず、書込用ビット線 BW_j 及び BW_j' に絶縁型電界効果トランジスタ Q_{23} 及び Q_{24} が介挿されている構成を有する書込用マルチプレクサ回路 $MUXW_j$ を、それ自体は公知の種々の書込用マルチプレクサ回路の構成とすることもできる。

【0067】また、ビット線センスアンプ回路 AM において、絶縁型電界効果トランジスタ Q_{16} 及び Q_{18} を、ビット線プリチャージ回路 PR の絶縁型電界効果ト

ランジスタQ21を介してプリチャージ用兼センスアンブ用電源端23に接続するのに代え、他の絶縁型電界効果トランジスタを介してプリチャージ用兼センスアンブ用電源端23に対応しているセンスアンブ用電源端に接続し、その他の絶縁型電界効果トランジスタのゲートを絶縁型電界効果トランジスタQ21の場合と同様にスリープ用信号入力端PRSSに接続し、また、これに応じ、プリチャージ用兼センスアンブ用電源端23を単にプリチャージ用電源端とした構成とすることもでき、その他、本発明の精神を脱することなしに種々の変型、変更をなし得るであろう。

【0068】

【発明の効果】本発明によるメモリ回路によれば、メモリセル M_{ij} に書き込まれているデータを、読出用データ線DR及びDR'に、より少ない電源の消費電力で、より高速に読み出すことができる。

【図面の簡単な説明】

【図1】本発明によるメモリ回路の実施の形態を示す接続図である。

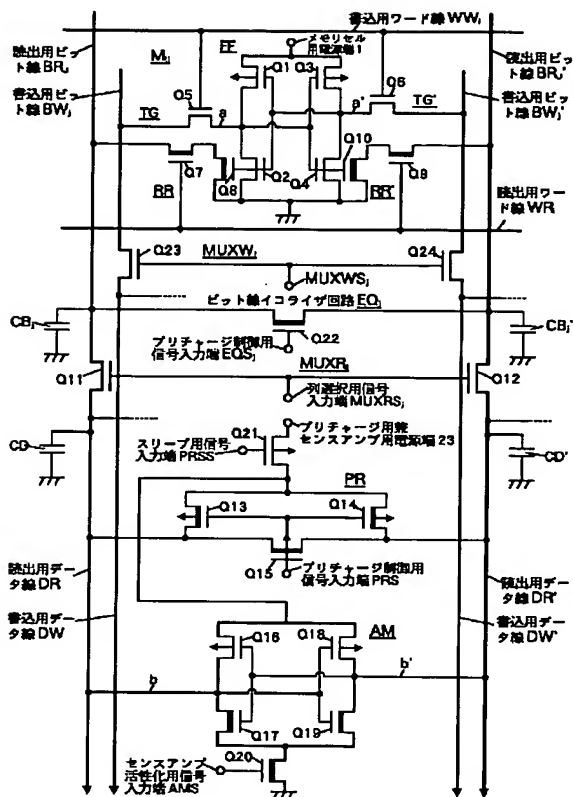
【図2】従来のメモリ回路を示す接続図である。

【符号の説明】

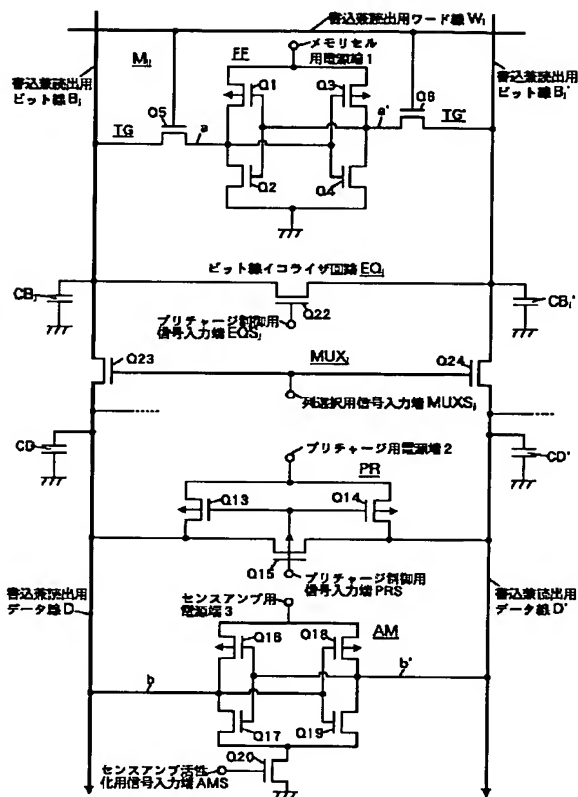
1 メモリセル用電源端
2 プリチャージ用電源端
3 センスアンブ用電源端
23 プリチャージ用兼センスアンブ用電源端
AM ビット線センスアンブ回路

AMS センスアンブ活性化用信号入力端
a、a'、b、b' 論理信号入出力端
 B_j 書込兼読出用ビット線
 BR_j 読出用ビット線
 BW_j 書込用ビット線
 CB_j 、 CB_j' ビット線容量
CD、CD' データ線容量
D、D' 書込兼読出用データ線
DR、DR' 読出用データ線
DW、DW' 書込用データ線
 EQ_j ビット線イコライザ回路
FF フリップフロップ回路
 M_{ij} メモリセル
 MUX_j 書込兼読出用ビット線マルチプレクサ回路
 $MUXR_j$ 読出用ビット線マルチプレクサ回路
 $MUXW_j$ 書込用ビット線マルチプレクサ回路
PR ビット線プリチャージ回路
PRS プリチャージ制御用信号入力端
PRSS スリープ用信号入力端
Q1～Q24 絶縁型電界効果トランジスタ
RR、RR' 読出回路
TG、TG' トランスファークゲート回路
 W_i 書込兼読出用ワード線
 WR_i 読出用ワード線
 WW_i 書込用ワード線

【図1】



【図2】



フロントページの続き

(72)発明者 柴田 信太郎
東京都渋谷区道玄坂一丁目12番1号 エヌ
ティティエレクトロニクス株式会社内

Fターム(参考) 5B015 HH01 JJ02 JJ05 JJ21 KA28
KA33 KA34 KA38 KB03 KB04
KB09 KB12 QQ03